

Diseño de un Amplificador de Audio Clase D

Diseño de Circuitos Electrónicos (86.10)

8 de agosto de 2020

Kevin Michalewicz
Padrón: 100978

Ornella Pitiddu
Padrón: 100208

Rosario Szuplat
Padrón: 100798

Abstract—En el siguiente documento se presenta el diseño de un amplificador de audio clase D, justificando las decisiones tomadas en cada etapa e incluyendo resultados de simulación y las mediciones sobre el prototipo.

Index Terms—amplificador clase D, diseño de circuitos, audio, realimentación negativa

I. INTRODUCCIÓN

Para el diseño del amplificador clase D se optó por una topología *Half Bridge* (ver su esquema básico en la figura 1). En primer lugar, la señal útil es contrastada contra aquella que viene de la realimentación. Dicha resta se compara con una señal triangular y se obtiene un PWM. Luego, un driver dispara a transistores MOS de potencia que trabajan en corte/triodo. Finalmente, un filtro pasa bajos RLC reconstruye la señal de audio original amplificada.

Las especificaciones incluyen:

- Tensión de alimentación: $30V \pm 10\%$
- Una eficiencia mayor al 85% trabajando a máxima potencia con una carga de 8Ω
- Distorsión armónica menor a 0,1% a $1W$ ($f = 1kHz$)
- Distorsión armónica menor a 1% a $50W$ ($f = 1kHz$)
- Distorsión armónica menor a 10% a $100W$ entre $20Hz$ y $20kHz$
- Distorsión por intermodulación:
 - menor a 1% a $50W$
 - menor a 0,1% a $1W$
- Protección por cortocircuito y sobrecarga a la salida
- Protección por transitorio de encendido y apagado
- Protección por tensión continua a la salida
- Respuesta en frecuencia ($\pm 0,5dB$): $20Hz$ a $20kHz$ @ $1W/8\Omega$
- Ancho de banda mayor a $50kHz$ @ $1W/8\Omega$
- Ruido residual a la salida menor a $10mV_{RMS}$ de $20Hz$ a $20kHz$
- Offset DC menor a $\pm 100mV$
- Impedancia de entrada: $50k\Omega$ @ $20Hz - 20kHz$
- Impedancia de salida: menor a $500m\Omega$ @ $20Hz - 20kHz$
- Factor de amortiguamiento: mayor a 100
- Temperatura ambiente de operación: $10^\circ C$ a $40^\circ C$

II. DESARROLLO DE CONTENIDOS

A. Diseño a lazo abierto

En la figura 2 se observa la entrada del amplificador, modelada por una senoidal de amplitud 1 V RMS, lo cual

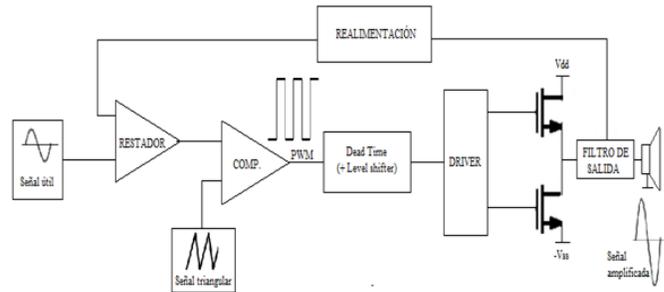


Fig. 1: Esquema conceptual de un amplificador clase D

es típico en señales de audio. Teniendo en cuenta que el oído humano escucha frecuencias menores a 20 kHz, se hicieron sucesivas simulaciones con distintas frecuencias dentro de ese rango y así se verificó el funcionamiento para componentes de diversas frecuencias de la señal de entrada.

Esta señal entra a un amplificador *TL081* no inversor cuya función es modificar su amplitud a fin de hacerla comparable con la amplitud de la triangular: los valores de las resistencias se calcularon viendo la ganancia necesaria para esto. Se observa también la presencia de un diodo zener. El mismo se usa para agregarle *offset* a la senoidal, para igualar su valor medio al de la triangular. La correcta generación del PWM se da únicamente si ambas señales tienen la misma amplitud y el mismo valor medio.

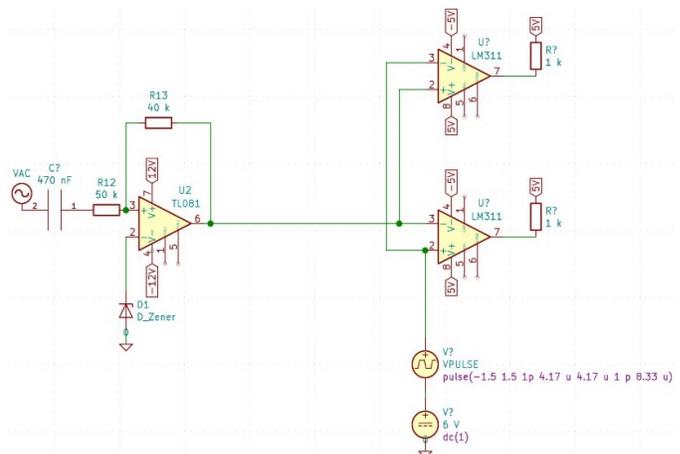


Fig. 2: Entrada del amplificador y comparadores

Ambas señales entran a dos comparadores *LM311*, los cuales fueron seleccionados por su rapidez (*propagation delay time* de alrededor de $100ns$), lo cual es necesario para que el cambio de estado en el PWM se produzca en el momento exacto. Los resistores de $1k\Omega$ que se observan a la salida de los mismos sirven de pull up para los comparadores, los cuales necesitan polarizar un TBJ a la salida. Por cómo se introduce cada señal a cada comparador, en cada salida se obtiene una señal (PWM) desfasada 180 grados respecto de la otra.

Cada uno de estos PWM entra al circuito de la figura 3, a fin de agregar tiempo muerto: mediante la carga y descarga del circuito RC de la figura y una serie de compuertas lógicas, se logra que durante un tiempo muy breve ($8ns$, mucho menor al período del PWM) tanto la señal como su negada se encuentren en estado bajo. Esto es necesario para que no se produzca *shoot-through*. Teniendo esto en cuenta y sabiendo que modificar el *dead-time* conlleva un aumento en la distorsión del amplificador, se regularon los valores de capacidad y resistencia. Además, se agregaron los diodos que permiten que la descarga sea mucho más rápido que sobre la resistencia, logrando que el tiempo muerto se genere sólo en el flanco ascendente del PWM.

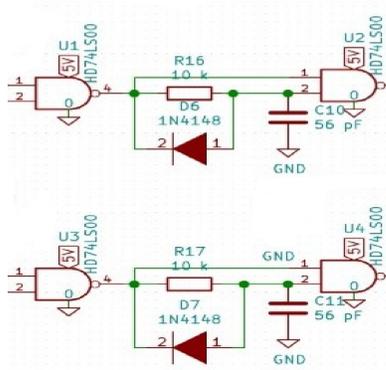


Fig. 3: Generador de tiempo muerto

Dado que las compuertas NAND utilizadas (*HD74LS00*) para introducir el tiempo muerto devuelven un estado alto de aproximadamente $2.7V$ y uno bajo de $0.5V$, es necesario introducir un *level shifter* para que el driver reconozca correctamente los estados. El mismo se observa en la figura 4 y utiliza los transistores de rápida conmutación *2N3906* ($t_{rise} = 35ns, t_{delay} = 35ns, t_{fall} = 75ns$) para que cada PWM tenga un valor medio de aproximadamente $-26V$.

Esta tensión es reconocida por el driver *IR2110* ya que se encuentra alimentado entre -25 y $-30V$. Uno de los PWM entra a *HIN* y su negado entra a *LIN*, indicándole al integrado qué salida debe activar para prender el MOS correspondiente.

En la figura 5 se observa la salida del driver *IR2110*, elegido para disparar a los transistores de potencia de la etapa de salida. El capacitor C_1 permite alimentar al *high-side gate driver*. Dicho capacitor se carga a través del diodo schottky *MBR360* cuando los dispositivos de la mitad inferior del circuito se encienden. Luego, el diodo - que fue elegido para

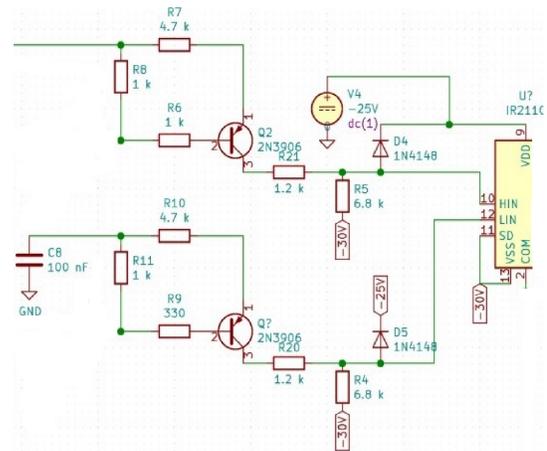


Fig. 4: Level Shifter y entrada del IR2110

que soporte algunos picos de corriente y que sea rápido - se pone en inversa y se prende la parte superior del circuito. Además, se debe garantizar que la tensión V_{gs} supere a V_L . Se calculó una cota superior para el valor de C_1 ¹ a partir de la carga del gate de los transistores MOS, la frecuencia del PWM, la corriente necesaria para V_B y la tensión sobre el diodo. Es importante que la capacidad no sea demasiado grande para que, de esta manera, el capacitor no se cargue lentamente.

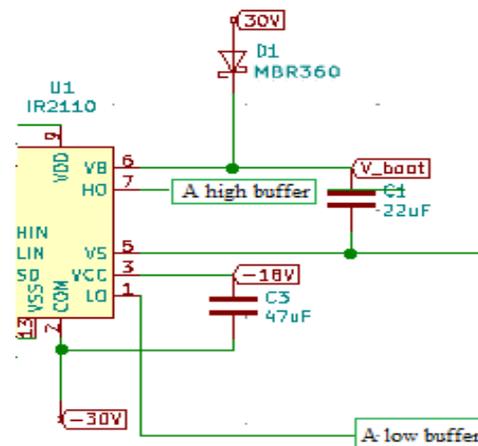


Fig. 5: Salida del IR2110

De acuerdo a la figura 6, un arreglo de buffers fue dispuesto para que el driver sea capaz de proveer la corriente necesaria para la conmutación de los transistores MOS. Se realizó con componentes discretos y se optó por los TBJ *BD139/40* por su velocidad y su capacidad de resistir picos de corriente superiores a $1A$. Es sabido que el hecho de aumentar el valor del resistor del *gate* de un MOS provoca lentitud en la velocidad de conmutación y, además, trae pérdidas. Sin embargo, se colocaron resistores de 30Ω para proteger los *gates* sin que

¹El cálculo detallado se encuentra en <http://www.ti.com/lit/an/slua887/slua887.pdf>

las desventajas ya mencionadas fueran considerables. Por otro lado, los diodos *BYV27-200* fueron colocados para apagar a los transistores con una velocidad de conmutación de $20ns$ que representa menos del 1% del ciclo de trabajo y que, por lo tanto, es aceptable.

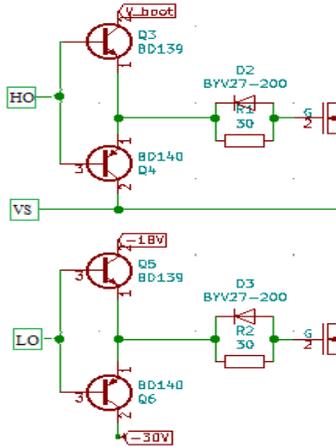


Fig. 6: Arreglo de buffers

Los transistores NMOS de potencia incluidos en el circuito (ver figura 7) fueron los *IRF540N* por sus bajas pérdidas de conmutación, sus rápidos tiempos de respuesta ($t_{on} = 7,3ns, t_{off} = 23ns, t_r = 8,3ns, t_f = 17ns$) y su valor de $V_t = 1V$ - para que se adecúe a las tensiones de disparo -. Entre cada *drain - source* se colocó una red *snubber* de protección con diodos *MBR360* para así drenar parte de la corriente del inductor al conmutar. Por otro lado, para garantizar picos de corriente se pusieron capacitores de *bypass* de fuente de gran tamaño.

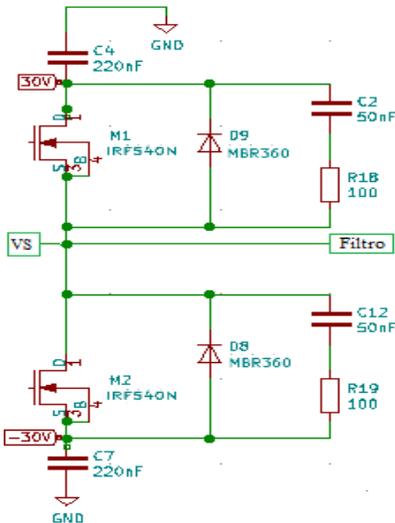


Fig. 7: Transistores MOS de potencia

Para el filtro de salida de segundo orden (ver figura 8) se buscó una frecuencia de corte de aproximadamente $55kHz$. Esto fue para ser capaces de filtrar portadoras ajenas a señales

de audio y no tener problemas con las señales comprendidas entre $20Hz$ y $20kHz$. También, se tuvo en cuenta que la carga resistiva sería de 8Ω y se buscaron valores de capacidad comerciales. En cuanto al inductor, se aseguró que el orden de magnitud de L permitiera su construcción empleando un núcleo de ferrite a partir de la expresión:

$$L = \frac{\mu_o \mu_r N^2 S}{l_m} \quad (1)$$

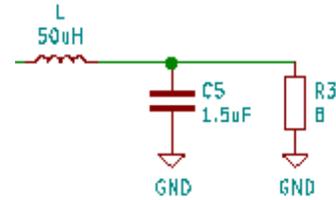


Fig. 8: Filtro RLC de salida

B. Diseño a lazo cerrado

A la hora de cerrar el lazo se pensó en una red de adelanto para así mejorar el margen de fase del circuito. Se buscó que, mediante la presencia de un cero y luego de un polo, se alcanzara un *MF* entre 30° y 40° . La tensión de la salida sería muestreada, atravesando la red de realimentación y luego sustrayéndose con la señal útil preamplificada de la entrada. Los valores de los resistores del restador de la figura 9 fueron elegidos tal que el valor pico a pico de la señal resultante fuera levemente menor que el de la triangular.

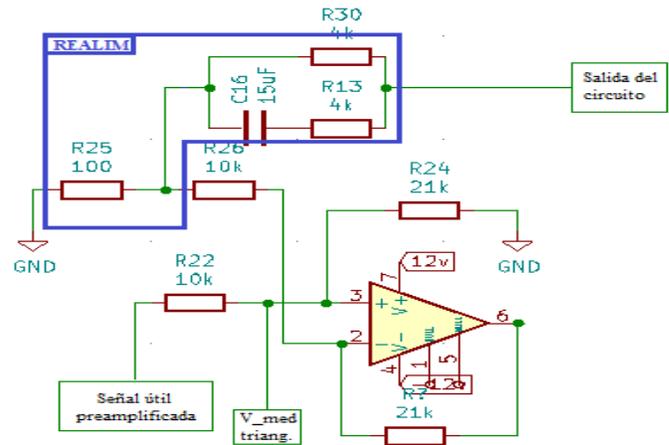


Fig. 9: Bloque de realimentación y su implementación

Para que la comparación con la triangular estuviera en el rango indicado, los valores medios debían ser notablemente similares. Es por esto que un filtro pasa bajos (ver figura 10) para tomar el valor medio de la señal triangular y sumarlo a la entrada.

En la simulación, se varió la frecuencia del generador de la entrada y se vio que a $105kHz$ la ganancia a lazo cerrado era de $0dB$. Allí se tenía una fase de -145° , por lo que *MF* =

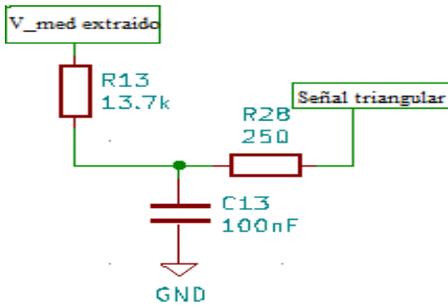
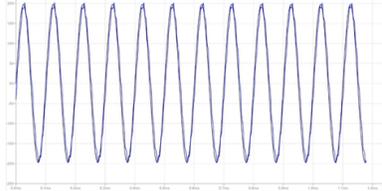


Fig. 10: Filtro pasa bajos que extrae valor medio



(a) Salida amplificada para $f = 1kHz$



(b) Salida amplificada para $f = 10kHz$

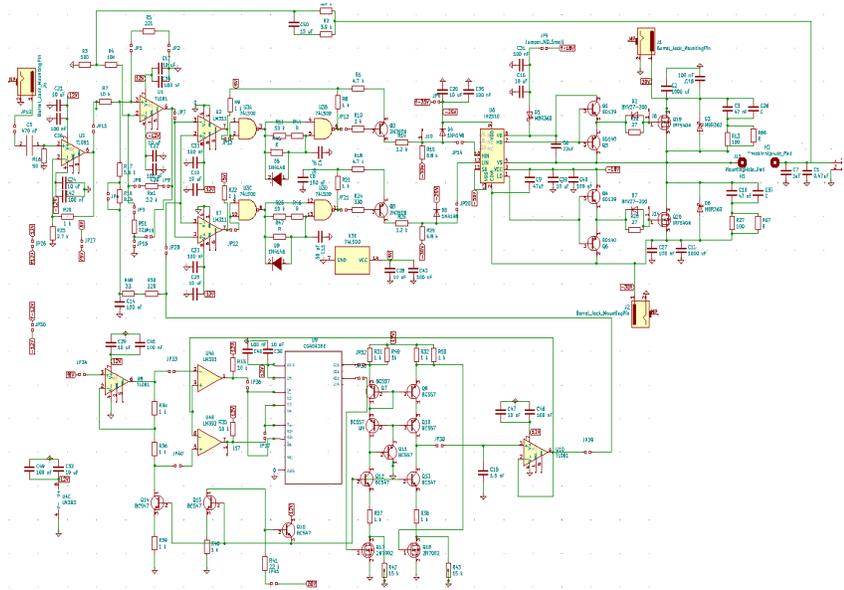


Fig. 12: Esquemático del amplificador clase D.

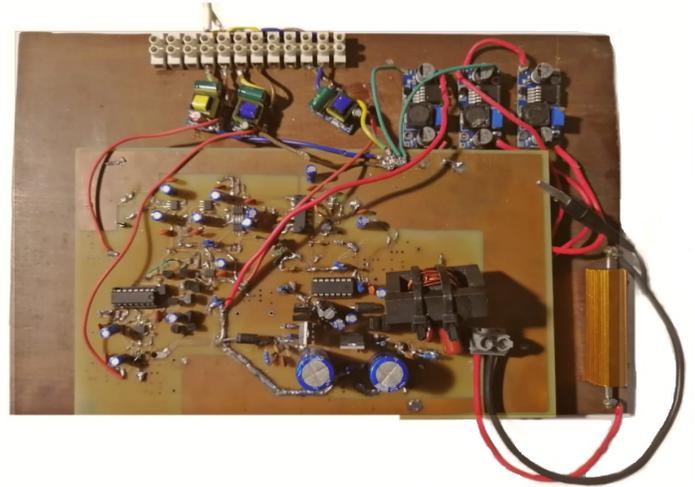


Fig. 13: Prototipo del amplificador clase D.

35°. En las figuras 11a y 11b se observan las salidas simuladas para dos frecuencias ($1kHz$ y $10kHz$) correspondientes a la banda de audio. Se obtuvo la amplificación y valor medio - nulo - deseados; además, con el comando `.four` se extrajo que a $1kHz$ $THD = 0,79\%$ para una potencia de 0,92 veces la máxima y $THD = 0,096\%$ para $1W$. Por último, a una potencia nominal de salida de $46W$ se simuló una eficiencia del 92%:

$$e(\%) = 100 \frac{V_{carga} I_{carga}}{V_{fuente} I_{fuente}} \quad (2)$$

El esquemático completo del amplificador diseñado se puede ver en la figura 12. En la misma se nota que se agregó un capacitor de $10 \mu F$ (electrolítico) y uno de $100 nF$ (cerámico) en serie con la alimentación de cada uno de los integrados y tierra. Estos son necesarios para un rápido funcionamiento de los diferentes integrados. Además, al ser uno cerámico y otro electrolítico, se disminuye el ruido que entra a los mismos.

C. Prototipo

El prototipo final del amplificador se muestra en la figura 13.

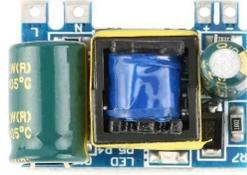
Las tensiones utilizadas a lo largo del circuito fueron 5V, 6V, 12V, -12V, -18V, -23.5V, 30V y -30V. Se hizo uso de

dos fuentes de laboratorio para generar 30V y -30V. Para las tensiones de 6V, -18V y -23.5V se compraron 3 fuentes de *switching* regulables marca *Duaitek* modelo *LM2596S-123-3000*. Las mismas utilizan un regulador *LM2596*, y un preset multivuelta para ajustar la tensión de salida deseada. Estas fueron alimentadas a partir de de 30V y -30V según correspondiese. Por otro lado, para generar las tensiones de 5V, 12V y -12V, se utilizaron otras fuentes de *switching*, marca *Informática San Isidro* modelo *SKU26*. Las mismas fueron alimentadas a partir de la tensión de línea. Ambos modelos se pueden ver en las figuras 14a y 14b respectivamente.

Para construir el inductor, se utilizó un núcleo de ferrite de tipo *EI*, el cual fue bobinado con un alambre de cobre de 1mm de diámetro, recubierto con aislante. Se utilizaron precintos para unir ambas partes del núcleo. Fue importante



(a) Marca *Duaitek*, modelo *LM2596S-123-3000*



(b) Marca *Informática San Isidro*, modelo *SKU26*

Fig. 14: Fuentes de *switching*

que el mismo tuviese un entrehierro en ambos extremos, de manera que no sature. En la figura 15 se puede ver el inductor construido.



Fig. 15: Inductor construido para el filtro de salida

En la figura 16, se puede observar la ubicación de las distintas etapas del amplificador, explicadas en las secciones anteriores. Es importante destacar, que el bloque realimentador se encuentra ubicado debajo del inductor.

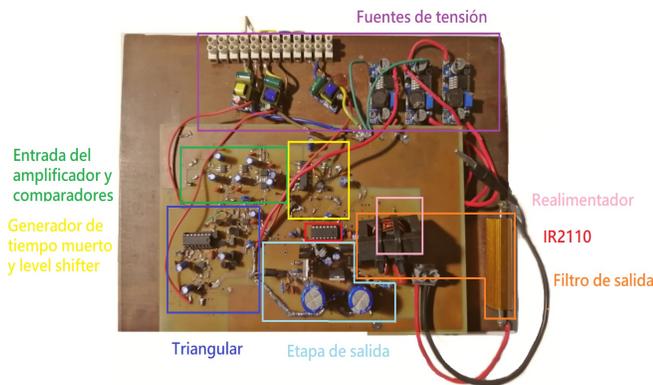


Fig. 16: Etapas del prototipo del amplificador

D. Mediciones

En primer lugar, se realizaron las mediciones sobre todos los puntos principales del circuito, a lazo abierto.

En la figura 17 se observan, la triangular de precisión diseñada² y una señal senoidal que entran a ambos comparadores, donde se genera el PWM a partir de las mismas. Al regular la amplitud y el valor medio de la triangular usando el sumador descrito anteriormente, se buscó que ambas tengan el mismo valor medio y que la amplitud de la senoidal sea levemente menor al de la triangular. Esto último fue necesario ya que en los extremos de la señal triangular generada se produce distorsión. De esta manera, se evita que las comparaciones se hagan en esa parte.

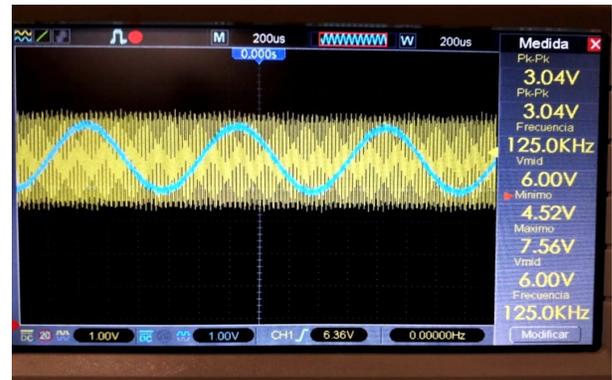


Fig. 17: Señales triangular y senoidal que entran a los comparadores.

Los PWM generados, en fase y contra fase, en la salida de los comparadores, se pueden ver en la figura 18. Por otra parte, en la figura 19 se observa el *dead time* agregado por el circuito generador de tiempo muerto. En la misma se aprecia como los PWM superponen una parte de su tiempo en alto, mientras que en bajo no. Este es el funcionamiento correcto, ya que luego, al ingresar al *level shifter* con un transistor TBJ en configuración emisor común, es decir en modo inversor, el estado alto se invertirá por el bajo y viceversa. Esto se verificó para sucesivos *duty cycles* del PWM.

En la figura 20 se muestran las entradas del *driver*, Hin (amarillo) y Lin (celestes). Las mismas verifican los valores que se esperan obtener para un correcto funcionamiento del *IR2110*. Los mismos nuevamente se verificaron para distintos *duty cycles* del PWM. Se aprecia que debido al tiempo muerto generado correctamente en la etapa anterior, ambas señales no se encuentran en estado alto simultáneamente.

En la figura 21 se observa la conmutación de los MOS cuando no se tiene señal a la entrada. Al no haber señal aplicada, la conmutación resulta simétrica en todo momento. Luego se midió la salida y se obtuvo una tensión casi nula.

En caso de aplicar potencia, la conmutación de los MOS se puede ver en la figura 22. Se observa que aplicar señal, se genera un pequeño sobrepico cuando la conmutación cambia

²K. Michalewicz, O. Pitiddu y R. Szuplat. *Generador de onda triangular de precisión*.

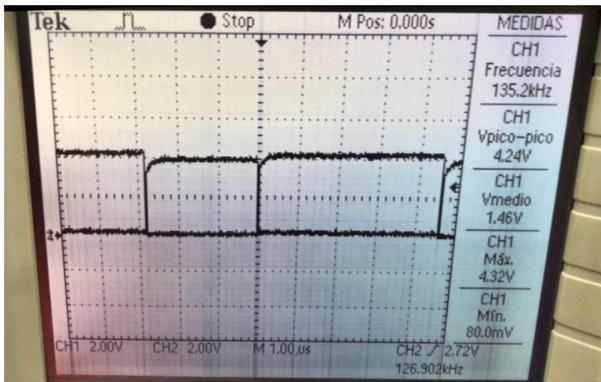


Fig. 18: PWM originado a la salida de los comparadores.

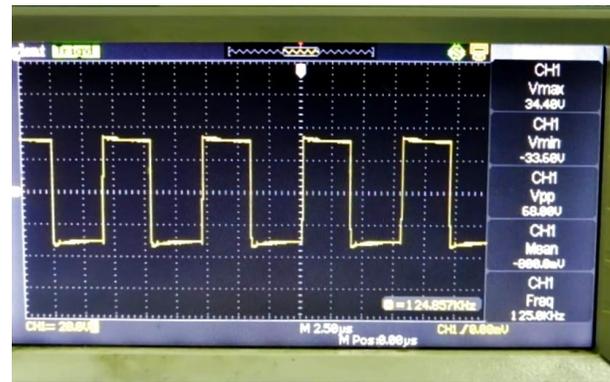


Fig. 21: Conmutación de los MOS para señal de entrada nula.

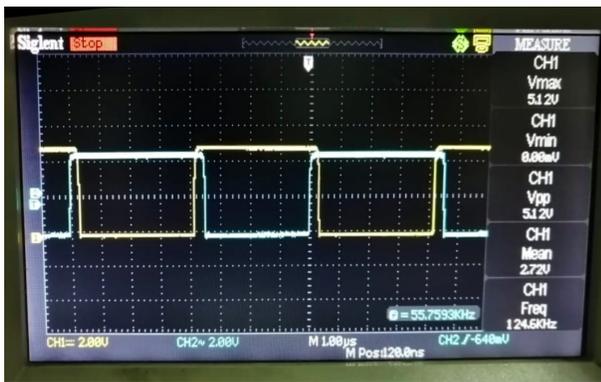


Fig. 19: Salida de cada generador de tiempo muerto.

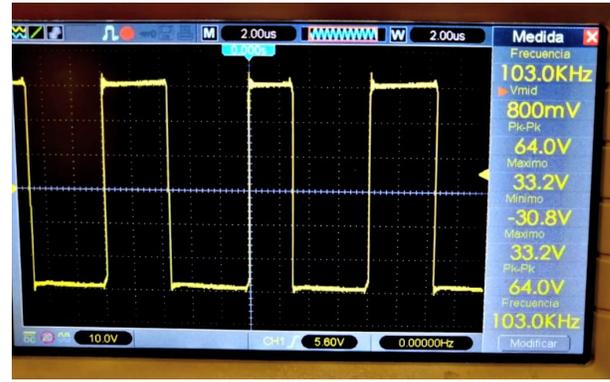


Fig. 22: Conmutación de los MOS para señal de entrada de 1V RMS.

de estado. Estos se lograron disminuir a partir del cálculo experimental de los *snubber*, observando el período de las oscilaciones que se generaban.

El banco de medición utilizado para medir la salida se observa en la figura 23.

Al aplicar potencia en la entrada, con una V_{in} de $1,7V_p$, se obtuvo una potencia de $39W$. La salida se observa en la figura 24. Para medirla, es importante destacar que la punta del osciloscopio no se debe colocar directamente sobre la carga

porque, de esta manera, se derretiría el plástico de la misma.

Finalmente, al cerrar el lazo y con una senoidal aplicada en la entrada, la salida de casi máxima potencia se observa en la figura 25.

A continuación, se presentan las mediciones realizadas para verificar que se cumplieran las especificaciones mencionadas en la Introducción.

1) *Tensión de alimentación*: Dado que es normal que las fuentes de laboratorio varíen ligeramente su tensión, es importante verificar el correcto funcionamiento del amplificador

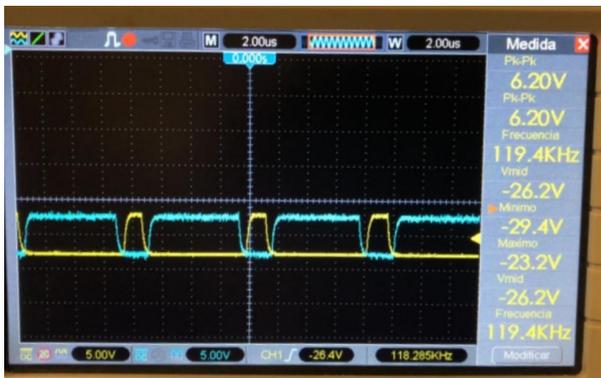


Fig. 20: En amarillo se observa la entrada H_{in} del driver y en celeste Lin.

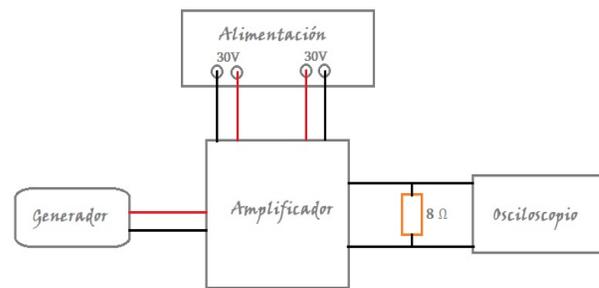


Fig. 23: Banco de medición.



Fig. 24: Salida de casi máxima potencia (39W) de 1kHz a lazo abierto; $V_{in} = 1,7V_p$



Fig. 25: Salida de casi máxima potencia (36W) de 1kHz a lazo cerrado; $V_{in} = 2,5V_p$

si esto se produjera. Es decir, se quiere analizar la estabilidad de la ganancia del sistema viendo la dependencia de la salida con el valor de la alimentación.

Para esto, se subió y se bajó la tensión de alimentación un 10% respecto de los ± 30 V para los que fue diseñado el amplificador. Se midió entonces la tensión de salida a 27 y a 33 V y se la comparó con la tensión de salida cuando las fuentes de alimentación están en ± 30 V. Esta comparación se hizo calculando el error porcentual:

$$error(\%) = \frac{|V_{30} - V_{27/33}|}{V_{30}}$$

Para 33V se obtuvo un 2% de error, mientras que 3% fue el valor obtenido para 27V.

2) *Eficiencia*: La eficiencia se define como el cociente entre la potencia de la carga y la potencia entregada por las fuentes:

$$\eta = \frac{P_{carga}}{P_{fuentes}}$$

En particular, se pide calcularla cuando la potencia es máxima y se está utilizando la carga de 8Ω . Para determinar la potencia máxima se usa el banco de medición de la figura 23. y se utiliza un multímetro *true RMS*. Con el mismo, se



Fig. 26: Fuente de tensión continua utilizada.

determina la tensión RMS en la salida del circuito. De esta manera, se calcula la potencia en la carga como

$$P_{carga} = \frac{V_{RMS}^2}{8\Omega}$$

Idealmente, la amplitud máxima de la senoidal en la salida es 30 V gracias a que en los semiciclos positivos uno de los MOS entrega la tensión de la fuente positiva (30 V) y, en los negativos, el otro MOS entrega la tensión de la fuente negativa (-30 V). Sin embargo, como los MOS no son llaves ideales, se disipa una parte de la potencia impidiendo que se llegue a los 30 V de amplitud.

Por otro lado, la potencia de la fuente es la suma de la potencia entregada por la fuente positiva y la negativa. Para conocerla, se observó la pantalla de cada fuente utilizada, la cual indica la tensión y la corriente que está entregando. Fue necesario ajustar el limitador de corriente para que pueda entregar la suficiente pero sin permitir que lleguen picos de corriente al circuito. Se usaron dos fuentes como la que se muestra en la figura 26, una con tensión negativa y otra positiva.

Por lo tanto, la potencia total entregada por las fuentes es

$$P_{fuentes} = P_{fuente+} + P_{fuente-}$$

$$P_{fuentes} = V_{fuente+} I_{fuente+} + V_{fuente-} I_{fuente-}$$

Se busca que, a máxima potencia, la eficiencia sea mayor al 85%. Se logran valores tan altos debido a que los transistores de potencia funcionan en modo corte y triodo, pero no se logra un 100% porque dichos transistores tienen una pequeña impedancia de salida.

Esta es una de las especificaciones cruciales ya que la alta eficiencia es una de las características por las que los amplificadores clase D son distinguidos. Es importante que la mayor parte de la potencia que entregan las fuentes se disipe en la carga, que es donde realmente es útil, en vez de dispersarse en otras partes del circuito.

Se aclara que esta medición se hizo primero a lazo abierto y, luego de conectar la realimentación, a lazo cerrado. Sin embargo, el procedimiento fue análogo en ambos casos.

A máxima potencia se midió una tensión senoidal de amplitud 27V sobre la carga de 8Ω , es decir, aproximadamente

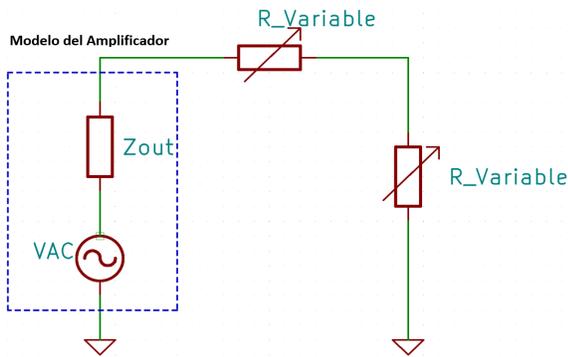


Fig. 27: Circuito atenuador utilizado.

46W. Se observó una corriente de 0,62A en la fuente positiva y 1,12A en la fuente negativa. Esto totaliza una potencia entregada $P_{fuentes} = 52,2W$. Así que la eficiencia resultó ser de un 88% a máxima potencia.

3) *Distorsión armónica*: La distorsión armónica o THD es el cociente entre la suma de las potencias de los armónicos de la señal y la potencia de la frecuencia fundamental. En este caso, se está introduciendo una senoidal en la entrada. Por lo tanto, la potencia de sus armónicos es nula. Idealmente, a la salida se debería tener también una senoidal, por lo que nuevamente la potencia de los armónicos debería anularse. Sin embargo, esto no sucede porque las alinealidades del circuito afectan a la forma de la onda; el equipo introduce armónicos que no estaban a la entrada.

Es por esto que se quiere que la distorsión armónica sea lo más baja posible: 0,1% a 1W, 1% a 50W y 10% a 100W. Por convención, se mide introduciendo un tono de 1kHz, excepto a 100W, que se mide entre 20Hz y 20kHz. Si bien se quiere evitar, la distorsión armónica no siempre es desagradable al escucharse sino que puede dar color a un determinado sonido.

Para medirla, se usa el software *SpectraPlus* en una computadora. El banco de medición es el de la figura 28. En el mismo se observa que se debió agregar un circuito auxiliar: un atenuador. Se aclara que también se utilizó un osciloscopio para controlar la señal de salida.

Como no se puede ingresar a la placa de audio de la computadora con una señal de amplitud mayor a 1V, se debe usar un atenuador para garantizar que la amplitud de la señal que ingresa a la PC sea 1V independientemente de la potencia en la que se esté midiendo. Este circuito se implementó con un sencillo divisor resistivo con una resistencia variable, cuyo esquemático se ve en la figura 27.

Las resistencias variables se ajustaban en cada medición a fin de lograr dividir la tensión de salida del circuito por un valor tal que el resultado sea 1V, es decir, la máxima tensión de entrada que puede recibir la placa de video de la computadora. Esto se controlaba con el osciloscopio a fin de asegurar que la computadora no se dañaría al realizar la conexión.

Las conexiones se hicieron con cables miniplug y fue

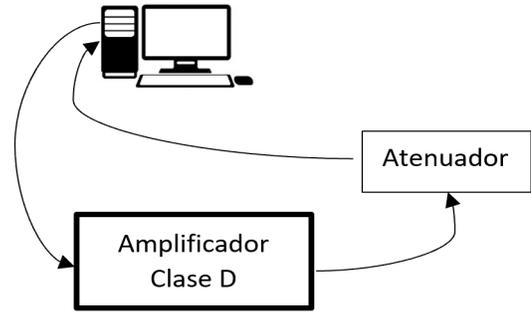


Fig. 28: Banco de medición para medir THD.



Fig. 29: THD a 1W para una carga de 8Ω.

necesario variar la amplitud de la señal generada a fin de poder medir a las amplitudes que se piden.

Cabe destacar que, antes de medir el circuito completo, se cortocircuitaron la entrada y la salida y se midió la distorsión. Esto es necesario para identificar la distorsión que introduce el banco de medición y luego realizar una corrección.

Se obtuvieron las capturas del software *SpectraPlus* de las figuras 29 y 30.

Se puede notar un pico de 1kHz y armónicos asociados de pequeña amplitud; además, se aprecia la presencia de algunos espurios de baja frecuencia. Para el caso de máxima potencia, las componentes no deseadas se manifiestan con mayor amplitud que a 1W y, entonces, es razonable que la distorsión armónica aumente.

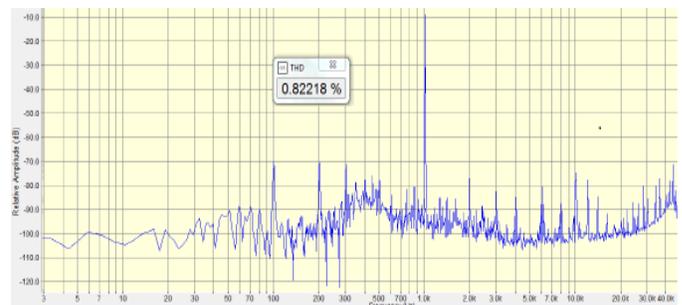


Fig. 30: THD a máxima potencia para una carga de 8Ω.



Fig. 31: Intermodulación a 1W para una carga de 8Ω.



Fig. 32: Intermodulación a 46W para una carga de 8Ω.

4) *Distorsión por intermodulación:* Dado que el amplificador diseñado es de audio, se debe tener en cuenta que, en general, en la entrada no habrá un tono puro sino que habrá una combinación de frecuencias pertenecientes al rango audible, es decir, frecuencias cercanas entre sí. Las alinealidades del circuito provocan que en la salida no haya únicamente armónicos de las frecuencias de entrada sino que también se encuentren las frecuencias suma y diferencia de las frecuencias originales. Esto se conoce como intermodulación entre las componentes de frecuencia de la señal de entrada y genera un efecto poco agradable al ser escuchado.

La medición se realiza de forma análoga a la explicada para THD. La diferencia es que en este caso se introducen dos tonos, 100Hz y 5kHz, siendo el primero 4 veces más grande que el segundo. Nuevamente, con la computadora se generaron las señales de las diferentes amplitudes necesarias para medir a las potencias solicitadas.

Lo obtenido puede verse en las figuras 31 y 32.

5) *Respuesta en frecuencia:* La respuesta en frecuencia del amplificador consiste en determinar su comportamiento para todas las frecuencias dentro del rango de interés. Como se trata de un amplificador de audio, se considera un rango de 20 Hz a 20 kHz. A fin de que se amplifiquen todas las frecuencias de igual manera, es necesario que la respuesta sea plana, al menos, en ese rango. De no ser así, las componentes a una frecuencias se amplificarán más que las componentes a otras y el dispositivo pasaría a comportarse como un ecualizador.

Sin embargo, en la realidad, la respuesta no es perfectamente plana. Por lo tanto, se especifica el intervalo de $\pm 0,5\text{dB}$ dentro del cual puede variar la magnitud de la respuesta en

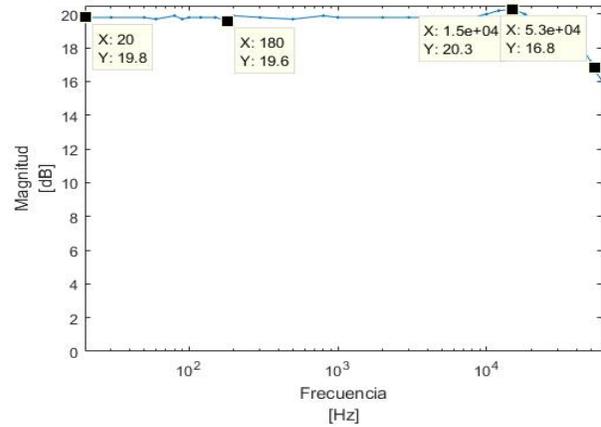


Fig. 33: Respuesta en frecuencia para 1W y 8Ω

frecuencia en lugar de ser completamente plana. Es esperable que, a medida que se llegue a frecuencias más cercanas al ancho de banda del sistema, la respuesta en frecuencia deje de ser aproximadamente plana y presente cambios mucho más notorios. Es por esto que la frecuencia de corte debe encontrarse a frecuencias más altas que las del rango considerado.

Se utiliza el banco de medición de la figura 23. Usando el generador de funciones, se inyecta al circuito una señal senoidal de amplitud fija y varía progresivamente su frecuencia. Se mide la amplitud de la senoidal de salida para cada una de ellas. Se aclara que la potencia de entrada es constantemente 1 W y se usa la carga de 8 Ω.

Luego, se grafican los valores obtenidos y se observa la forma de la curva obtenida (ver figura 33). Vemos que el máximo desvío de la amplitud es de 0,5dB a aproximadamente 15kHz.

6) *Ancho de banda:* El ancho de banda es la frecuencia a la cual el módulo de la respuesta en frecuencia cae 3 dB respecto al valor del mismo en la parte plana.

Dado que esta especificación, al igual que la del punto anterior, está dada para 1 W y 8 Ω, se usa la respuesta en frecuencia obtenida en el mismo. Se determina en este gráfico a qué frecuencia la caída es de 3 dB.

Como se ve en la figura 33, el ancho de banda medido es de 53kHz.

7) *Offset DC y ruido residual a la salida:* Idealmente, el valor de continua en la salida debe ser nulo porque, en teoría, el amplificador únicamente aumenta la amplitud de la señal de entrada. Sin embargo, se ve que en la práctica esto no es así, por lo que se especifica que el mismo sea menor a 100 mV.

Por otro lado, se esperaría que si no hay ninguna señal en la entrada no haya ninguna en la salida. Sin embargo, el amplificador introduce ruido a la señal que pasa por él. Algunas de las razones son la interferencia electromagnética entre los componentes, el funcionamiento de antena que tienen a altas frecuencias las pistas del circuito impreso y el ruido

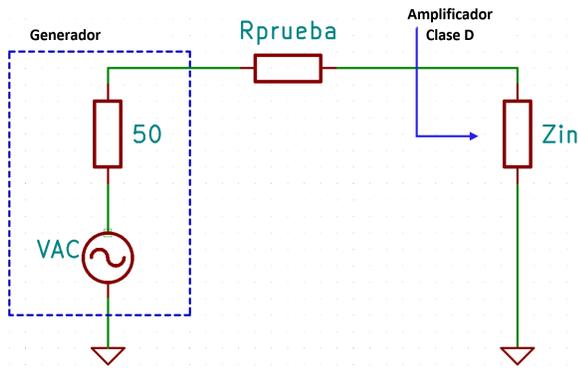


Fig. 34: Banco de medición para determinar la resistencia de entrada.

de línea. Si bien se diseñó buscando eliminar el ruido, es imposible hacerlo por completo. En este caso, basta con que sea menor a 10 mV RMS entre 20 Hz y 20 kHz. Para determinarlo, se conectó la entrada a tierra y se midió a la salida con un multímetro *true RMS*.

A 25W se midió un offset de 80mV y un ruido residual con valor RMS de 20mV.

8) *Impedancia de entrada*: La impedancia de entrada que debe tener el amplificador clase D es 50 kΩ. Como la misma no es resistiva pura, varía con la frecuencia. Lo que se quiere lograr es que dicha variación suceda por encima de las frecuencias de interés.

Para determinarla se plantea un divisor resistivo teniendo en cuenta el esquemático de la figura 34. Se sabe que la resistencia serie del generador de funciones utilizado es de 50 Ω y se conecta una resistencia de prueba de 51 kΩ entre el mismo y el amplificador. Se eligió este valor por ser del mismo orden que la resistencia de entrada a determinar. Si fuera mucho más grande o mucho más chica la medición presentaría una gran incertidumbre.

Se mide la tensión en el nodo de entrada del amplificador (V_{in}) con el osciloscopio y, conociendo la tensión del generador (V_{gen}), se despeja el valor de la impedancia de entrada (Z_{in}) usando:

$$V_{in} = \frac{V_{gen} Z_{in}}{Z_{in} + R_{prueba} + R_{gen}}$$

Se varió la frecuencia para todo el rango de audio y se obtuvo $Z_{in} = (53 \pm 4)k\Omega$.

9) *Impedancia de salida*: En cuanto a la impedancia de salida, se especifica que debe ser 500 mΩ en el rango de frecuencias de interés (20 Hz a 20 kHz). Para medirla, se utiliza el banco de medición de la figura 35, donde se modela al amplificador con su equivalente de Thévenin visto desde la carga. Luego, se sabe que

$$V_{Z_L} = \frac{V_{AC} Z_L}{Z_{out} + Z_L}$$

Esta expresión se utiliza dos veces con dos impedancias de carga Z_L diferentes: Z_{L1} y Z_{L2} . De esta manera, se logra obtener una ecuación que permita determinar el valor de Z_{out} y que no dependa de V_{AC} . Esto es necesario porque la impedancia de salida debe ser la misma para todas las tensiones de salida del amplificador. Entonces, se obtiene

$$Z_{out} = \frac{V_{L1} - V_{L2}}{\frac{V_{L1}}{Z_{L1}} - \frac{V_{L2}}{Z_{L2}}}$$

Teniendo en cuenta esta expresión, se midió con un multímetro *true RMS* el valor de la tensión RMS en dos cargas diferentes y se calculó el valor de Z_{out} . Dado que la impedancia de salida buscada es muy baja (menor a 1Ω), esta medición se debe hacer con valores de Z_{L1} y Z_{L2} lo más bajos posibles y, así, disminuir el error. Sin embargo, no es posible poner una carga menor a 1Ω en la salida del clase D. Por lo tanto, la medición se realizó con una resistencia de 8 Ω y con una de 10 Ω.

Se halló que $Z_{out} = 85m\Omega$ a 1kHz; sería apropiado barrer todo el rango correspondiente a audio para así verificar que este valor permanezca constante.

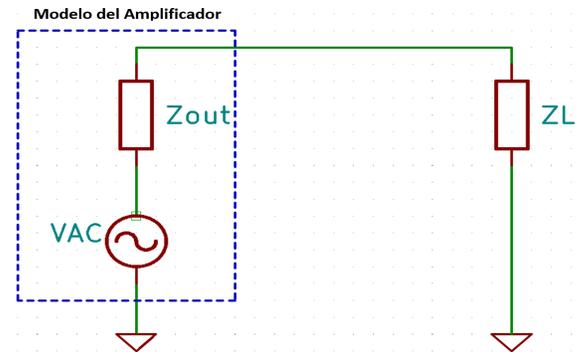


Fig. 35: Banco de medición para determinar la resistencia de salida.

10) *Factor de amortiguamiento*: El factor de amortiguamiento es una constante que determina la velocidad de crecimiento o decaimiento de la respuesta a un escalón unitario de un sistema de segundo orden. Dicho sistema, en este caso el amplificador (se lo aproxima a un circuito de segundo orden), puede clasificarse en

- Subamortiguado: se produce un sobrepico a una frecuencia cercana a la de corte. Esto no solo puede producir daños en el circuito sino también en el oído humano si se produce a frecuencias audibles.
- Críticamente amortiguado: caso ideal por presentar una banda plana en las frecuencias deseadas.
- Sobreamortiguado: provoca una disminución del ancho de banda.

$$F = \frac{Z_L}{Z_{out}} \approx 94$$

Característica	Valor especificado	LTSpice	Medición
Eficiencia (máx. potencia)	> 85%	91%	88%
THD, 1kHz, 1W, 8Ω	< 0,1%	0,096%	0,13818%
THD, 1kHz, 46W, 8Ω	< 1%	0,79%	0,82218%
Intermodulación, 1W, 8Ω	< 0,1%	-	0,0654%
Intermodulación, 46W, 8Ω	< 1%	-	0,3754%
Rta. en frecuencia, 1W, 8Ω	$\pm 0,5dB$	-	0,5dB
Ancho de banda, 1W, 8Ω	> 50kHz	52kHz	53kHz
Z_{in}	50kΩ	50kΩ	53kΩ
Offset	< 100mV	0	80mV
Ruido residual	< 10mV _{RMS}	-	20mV _{RMS}
Factor de amortiguamiento	> 100	-	94

E. Diseño de PCB

El diseño del circuito impreso PCB fue una parte crucial del trabajo en el que se debieron tener en cuenta algunos aspectos críticos tales como realizar pistas de potencia anchas para que la alta corriente pueda pasar sin quemar la placa, incluir un plano de masa amplio que no se encuentre cerca de las pistas de señal, eliminar pistas que se encuentren muy cercanas entre sí para prevenir cortocircuitos, evitar las pistas en forma de 'L', entre otras. Se realizaron varios diseños hasta que se logró obtener el definitivo, el cual cumple lo dicho anteriormente.

En la figura 36 se presenta la capa superior del PCB y en 37, la inferior. En las mismas se indican también los diferentes bloques del amplificador, las conexiones de las fuentes de 30 y -30 V y el plano de masa, que coincide con la tierra en el diseño realizado. Se aclara que los bloques indicados como *fuentes* se incluyeron en el PCB pero luego no se usaron por lo que simplemente se desacoplaron. Esto se debe a que inicialmente se consideró la posibilidad de construir todas las fuentes de tensión necesarias a partir de las de ± 30 V pero luego se optó por las de la figuras 14a y 14b.

La etapa de señal se implementó casi en su totalidad usando componentes *SMD* para disminuir su inductancia serie y las pistas se hicieron de un ancho menor al de las de potencia (1 mm) teniendo en cuenta que no pasará mucha corriente por ellas.

La etapa de potencia es la más crítica ya que, en el caso de un diseño erróneo, los componentes de la misma pueden destruirse. Para evitar esto, los transistores de conmutación se colocaron lo más cercanos posible a los *drivers* y las pistas se hicieron lo más cortas y anchas posible (3 mm de espesor), lo cual disminuye la impedancia de las mismas. Además, se usaron componentes *THT* por ser esta la tecnología utilizada para fabricar componentes de potencia.

F. Inconvenientes

- En un primer momento se había construido un inductor de ferrite pero sin entrehierro; tuvo que cambiarse porque el núcleo saturaba.
- Por la posición física del inductor en el circuito este incorporaba ruido, probablemente debido a interferencia electromagnética. Para potencias intermedias la salida ya sufría deformaciones (ver figura 38), por lo que fue necesario estudiar qué modificaciones realizar para que esto no ocurra.
- *Ringing* en la señal PWM previa al filtro RLC (ver figura 39). Pudo ser reducido introduciendo el *snubber*,

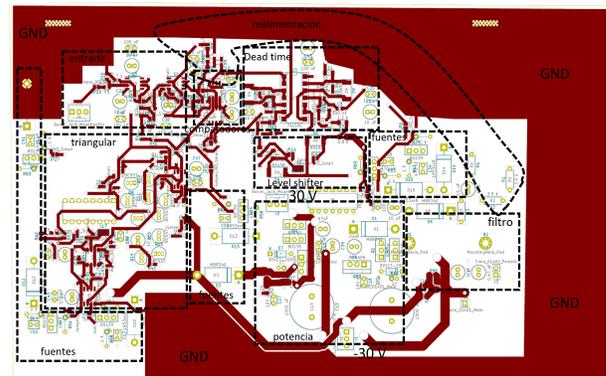


Fig. 36: Capa superior del PCB.

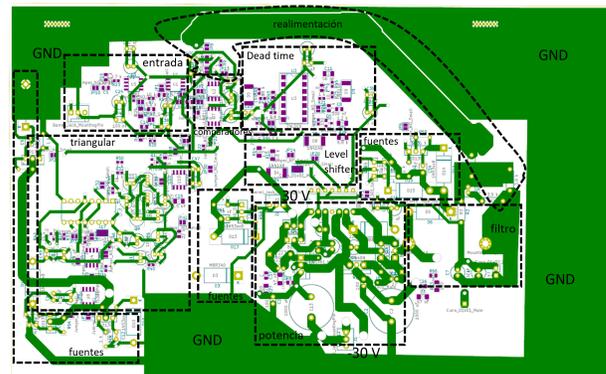


Fig. 37: Capa inferior del PCB.

cuyos componentes R y C fueron calculados midiendo la frecuencia de ringing y utilizando un procedimiento descrito por la nota *Class-D Output Snubber Design Guide* de *Texas Instruments*.

- Fue necesario hacer muchas pruebas para las mediciones de THD e intermodulación porque las conexiones introducían demasiado al ruido al sistema.
- La gran susceptibilidad ante pequeños cortos involuntarios, transitorios o tensiones incorrectas del *IR2110* provocó que en total haya sido necesario utilizar más de quince repuestos, generando un gasto que al principio del proyecto no se había previsto.
- En las primeras pruebas del PCB no se obtenían los resultados esperados por la presencia de corrientes (de modo común) parásitas entre las masas de las fuentes. Por eso, se definió un punto físico en el PCB y se conectaron todas las masas al mismo.

G. Instrumentos utilizados

Los instrumentos utilizados para realizar todas las mediciones indicadas anteriormente son:

- Osciloscopio SIGLENT SDS1102CML
- Osciloscopio TEKTRONIX 1001B
- Osciloscopio ATEN ADS1102CAL
- Multímetro TRUE-RMS PROSKIT MT-1707
- Fuente de tensión PROTOMAX HY3005D-3

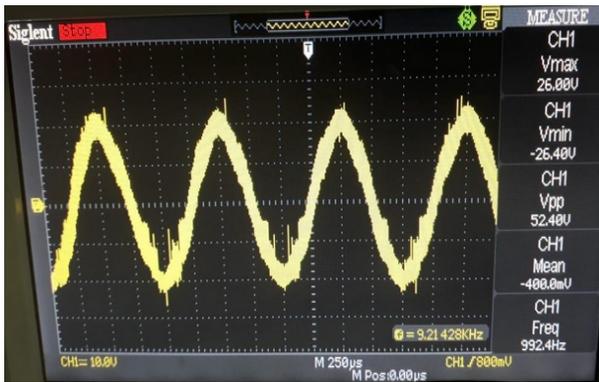


Fig. 38: Deformación de la señal por interferencia electro-magnética.

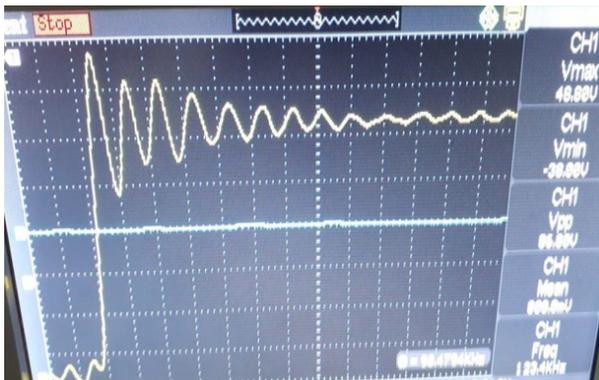


Fig. 39: Ringing del PWM antes del filtro RLC.

- Generador de funciones GOLDSTAR FG-8002
- LCR meter V&A VA511

Se muestran fotos de los mismos en las figuras 26 y 40 a 45. Se aclara que se usaron tres osciloscopios diferentes según la disponibilidad de los mismos en el laboratorio. De todas formas se aseguró que las mediciones de cada especificación se realicen en su totalidad con los mismos instrumentos.

El osciloscopio TEKTRONIX 1001B presenta 40 MHz de ancho de banda mientras que el SIGLENT SDS1102CML y el ATTEN ADS1102CAL, 100 MHz. Sin embargo, dado que la frecuencia máxima de la senoidal es 20 kHz, todos son útiles.

Por otro lado, el primero presenta una sensibilidad de 2 mV/div a 5 V/div y una incerteza del 3% en el canal vertical. El segundo, 2 mV/div – 10 V/div de sensibilidad y también 3% de incerteza. Y el tercero, 2mV-10V/div y, también 3% de incerteza. En cuanto a la impedancia de entrada, el primero presenta 1 M Ω //20 pF, el segundo 1 M Ω //17 pF y el tercero 1 M Ω //14 pF. Esto asegura que a las frecuencias en las que se midió y, usando una punta de prueba x10, no se estaba cargando el circuito al medir.

El multímetro utilizado es *true RMS*, lo cual es indispensable para medir las tensiones RMS necesarias. De todas formas, también se lo utilizó para medir continuidad al ir armando la placa y para detectar errores, para verificar la correcta polarización y para determinar los valores de componentes

de forma más precisa.

El generador de funciones GOLDSTAR FG-8002 permite generar señales Senoidal, triangular, cuadrada y diente de sierra en un rango de frecuencias de 0,02 Hz a 2 MHz. Esto permitió no sólo obtener las senoidales necesarias en la entrada sino también realizar numerosas pruebas intermedias como desacoplar el generador de triangular diseñado y conectar el generador y alimentar con una cuadrada en lugar de un PWM.

Su impedancia de entrada es 50 Ω //40 pF y su factor de distorsión es 1% para frecuencias de 10 Hz a 100 kHz. Esto traería problemas a la hora de medir distorsión porque la producida por la fuente era mucho mayor a la del amplificador pero no había forma de diferenciarlas. Esto no sucedió porque no se lo utilizó en esta medición, tal como se explicó anteriormente.

Su tensión de salida máxima es 20 Vpp y permite agregar un *offset* a las señales de hasta ± 10 V y atenuar la salida hasta -30 dB. Esto nuevamente fue muy útil a la hora de hacer mediciones preliminares.

El RLC utilizado permite medir a 100, 120 Hz y 1 kHz los parámetros inductancia, capacitancia, resistencia, impedancia, disipación y factor de calidad. Su sensibilidad es del 0,3% y tiene dos modos de medición: circuito equivalente serie y paralelo.

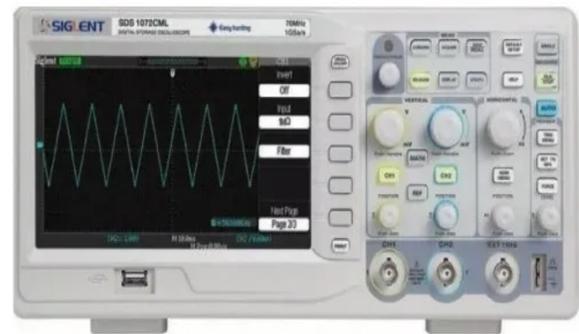


Fig. 40: Osciloscopio SIGLENT SDS1102CML.

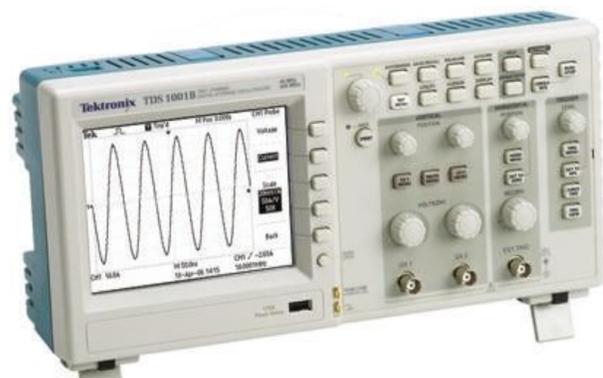


Fig. 41: Osciloscopio TEKTRONIX 1001B.



Fig. 42: Osciloscopio ATEN ADS1102CAL.



Fig. 45: LCR meter V&A VA511.



Fig. 43: Multímetro TRUE-RMS PROSKIT MT-1707.



Fig. 44: Generador de funciones GOLDSTAR FG-8002.

Componente	Cantidad
Capacitor THT 0,47 μ F	1
Capacitor THT 1000 μ F	2
Capacitor THT 22 μ F	1
Capacitor THT 1 μ F	1
Capacitor THT 47 μ F	1
Capacitor THT 470 nF	1
Capacitor THT 10 μ F	14
Capacitor THT 100 nF	16
Capacitor THT 470 nF	5
Capacitor SMD 47 nF	2
Capacitor SMD 56 pF	2
Capacitor SMD 470 nF	1
Capacitor SMD 100 nF	2
Capacitor SMD 1,5 nF	1
Diodo THT MBR360	3
Diodo THT BYV27-200	2
Diodo SMD 1N4148	4
Transistor THT BD139	2
Transistor THT BD140	2
Transistor THT BC557	8
Transistor THT IRF540N	2
Transistor SMD 2N3906	8
Transistor SMD 2N7002	2
Resistor THT 3,9 k Ω	2
Resistor THT 100 Ω	1
Resistor THT 10 k Ω	1
Resistor THT 27 Ω	2
Resistor THT 1 k Ω	12
Preset THT 10 k Ω	2
Resistor SMD 22 k Ω	3
Resistor SMD 4,7 k Ω	2
Resistor SMD 10 k Ω	5
Resistor SMD 1 k Ω	16
Resistor SMD 100 Ω	2
Resistor SMD 1,2 k Ω	2
Resistor SMD 6,8 k Ω	2
Resistor SMD 50 k Ω	1
Resistor SMD 5,6 k Ω	1

Resistor SMD 8,2 k Ω	1
Resistor SMD 2,7 k Ω	1
Resistor SMD 330 Ω	1
Resistor SMD 220 Ω	1
Resistor SMD 15 k Ω	2
Resistor SMD 33 Ω	1
TL081 SMD	4
LM311 SMD	2
LM393 SMD	1
CD4043BE THT	1
74LS00 THT	1
MOS Driver IR2110	1
Núcleo de ferrite 'E'	1
Núcleo de ferrite 'I'	1
Alambre de cobre esmaltado (diámetro 1mm)	1 m
Resistencia de potencia de 8 Ω	1
Borneras	2
Fuentes de switching regulables <i>Duaitek</i>	3
Fuentes de switching <i>Informática San Isidro</i>	3
Cable de cobre de 3 mm de diámetro	1m
Enchufe	11
Pines de conexión	3

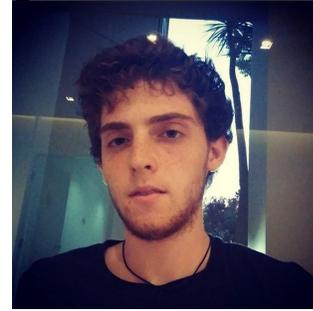
III. CONCLUSIONES

A partir de las mediciones realizadas usando el prototipo construido, se puede concluir que el amplificador diseñado cumple la mayor parte de las especificaciones requeridas, siendo entonces muy satisfactorio el trabajo realizado. Se destacan el conocimiento y la dedicación que debieron invertirse para poder llevarlo a cabo porque no se trató únicamente de diseñar teóricamente el circuito; el mismo se implementó y se midió.

Entonces, para poder llevarlo a cabo se debió pasar del esquemático a un PCB, el cual debió ser cuidadosamente diseñado y, luego, armado. Esto implicó que se tuviera que lidiar con diferentes situaciones inesperadas, lo que llevó a replantear parte del diseño y a mejorar las técnicas de medición. Fue fundamental ser metódicos para realizar las sucesivas mediciones y poder detectar los errores eficazmente.

Finalmente, como trabajo futuro, se recomienda disminuir el ruido residual a fin de terminar de mejorar el amplificador. Para ello, es útil mejorar las conexiones a masa e incluir una realimentación interna dentro de cada etapa.

IV. INTEGRANTES



Kevin Michalewicz. Nació el 19 de noviembre de 1997 en la Ciudad de Buenos Aires. Es egresado del Colegio Nacional de Buenos Aires (CNBA) como bachiller orientado a Ciencias Exactas, Naturales e Ingeniería. Actualmente es estudiante del anteuúltimo año de la carrera de Ingeniería Electrónica en la Facultad de Ingeniería (UBA) y se desempeña como ayudante segundo de la materia Física III.



Rosario M. Szuplat. Nació el 19 de diciembre de 1997 en la Ciudad de Buenos Aires. Es egresada del Colegio Nacional de Buenos Aires (CNBA) como bachiller. Actualmente es estudiante del anteuúltimo año de la carrera de Ingeniería Electrónica en la Facultad de Ingeniería (UBA) y se desempeña como ayudante segunda de la materia Análisis Matemático II.



Ornella S. Pitiddu. Nació el 12 de febrero de 1998 en la Ciudad de Buenos Aires. Es egresada de la Escuela Normal Superior en Lenguas Vivas Sofía Broquen de Spangenberg como bachiller bilingüe. Actualmente es estudiante del último año de la carrera de Ingeniería Electrónica en la Facultad de Ingeniería (UBA).